

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-306662

(43)公開日 平成7年(1995)11月21日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 5 0			

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21)出願番号 特願平6-99823

(22)出願日 平成6年(1994)5月13日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 橋本 誠二

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

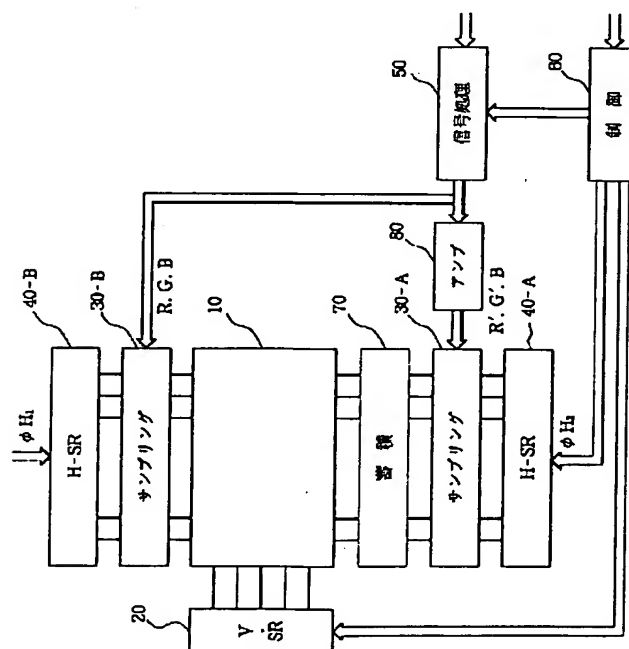
(74)代理人 弁理士 丸島 儀一

(54)【発明の名称】 アクティブマトリックス液晶表示装置とその駆動方法

(57)【要約】

【目的】 フレームメモリを使用することなく、液晶焼き付けを防止しながら低周波のフリッカを防ぐアクティブマトリックス液晶表示装置とその駆動方法を提供する。

【構成】 第1の書き込み手段と第2の書き込み手段という2系統の信号処理手段で、入力画像信号を2つに分け液晶表示装置の画素に書き込む。水平シフトレジスタとサンプリング回路で構成する第1の書き込み手段でデータ線を通して行画素に信号提供する。前記第1の書き込み手段とは異なるサンプリングタイミングで入力画像信号をサンプリングするサンプリング回路と、前記入力画像信号を一時的に蓄積する容量蓄積手段と、水平シフトレジスタで構成する第2の書き込み手段で同じデータ線を通して別の行画素へ信号を供給する。また第1の書き込み手段による信号の電気極性と第2の書き込み手段による信号の電気極性とを信号制御手段で常に、反対にし、かつ、フィールド周期毎に反転させる。



(2)

【特許請求の範囲】

【請求項 1】 複数の画素を行列状に配列し、それぞれの
前記画素にスイッチング素子を備えつけ、水平走査回
路からの複数パルス信号により、入力画像信号を順にサン
プリングし、各画素に与える電圧を決めるアクティブ

マトリックス液晶表示装置において、
入力画像信号を行画素（１行に並んだ全画素）に書き込
む水平走査回路を含む第 1 の書き込み手段と、

前記入力画像信号を一時的に容量蓄積手段に蓄積した
後、前記行画素とは異なった行画素に書き込む水平走査
回路を含む第 2 の書き込み手段と、

前記第 1 の書き込み手段による前記入力画像信号と前記
第 2 の書き込み手段による前記入力画像信号の電気極性
をお互いに反対にし、隣接する行画素の電気極性を反転
させる信号制御手段と、を有することを特徴とするアク
ティブマトリックス液晶表示装置。

【請求項 2】 フィールド周期毎に電気極性を反転させ
る信号制御手段をも有する請求項 1 に記載のアクティブ
マトリックス液晶表示装置。

【請求項 3】 前記画素は、赤あるいは青あるいは緑の
フィルターを有する請求項 1 乃至 2 に記載のアクティブ
マトリックス液晶表示装置。

【請求項 4】 前記信号制御手段は、１ライン書き込む
ごとに、前記第 1 の書き込み手段による入力画像信号の
電気極性と前記第 2 の書き込み手段による入力画像信号
の電気極性をともに反転させる請求項 1 乃至 3 に記載の
アクティブマトリックス液晶表示装置。

【請求項 5】 前記第 1 の書き込み手段で奇数番目の行
画素に前記入力画像信号を書き込み、第 2 の書き込み手
段で偶数番目の行画素に前記入力画像信号を書き込む請
求項 1 乃至 4 に記載のアクティブマトリックス液晶表示
装置。

【請求項 6】 前記画素を対向共通電極、画素電極、と
トランジスタ動作するスイッチング素子から構成する請
求項 1 乃至 5 に記載のアクティブマトリックス液晶表示
装置。

【請求項 7】 前記画素を対向走査電極、画素電極、と
ダイオード動作するスイッチング素子から構成する請求
項 1 乃至 5 に記載のアクティブマトリックス液晶表示装
置。

【請求項 8】 複数の画素を行列状に配列し、それぞれの
前記画素にスイッチング素子を備えつけ、水平走査回
路の複数のパルス信号により、入力画像信号を順にサン
プリングし、各画素に与える電圧を決めるアクティブマ
トリックス液晶表示装置の駆動方法において、
水平走査回路を含む第 1 の書き込み手段で入力画像信号
を行画素（１行に並んだ全画素）に書き込み、
水平走査回路を含む第 2 の書き込み手段で前記入力画像
信号を一時的に容量蓄積手段に蓄積した後、前記行画素
とは異なった行画素に書き込み、

2

信号制御手段で、前記第 1 の書き込み手段による前記入
力画像信号の電気極性と前記第 2 の書き込み手段による
入力画像信号の電気極性を反対にし、隣接する行画素の
電気極性を反転させることを特徴とするアクティブマト
リックス液晶表示装置の駆動方法。

【請求項 9】 前記信号制御手段により、前記第 1 の書
き込み手段による前記入力画像信号の電気極性と、前記
第 2 の書き込み手段による前記入力画像信号の電気極性
とを、１ライン書き込むごとに反転させる請求項 8 に記
載のアクティブマトリックス液晶表示装置の駆動方法。

【請求項 10】 前記第 1 の書き込み手段では奇数番目
の行画素に前記入力画像信号を書き込み、第 2 の書き込
み手段では偶数番目の行画素に前記入力画像信号を書き
込む請求項 8 乃至 9 に記載のアクティブマトリックス液
晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリックス
液晶表示装置とその駆動方法に関し、特に各画素へ交流
にした画像信号を入力するアクティブマトリックス液晶
表示装置とその駆動方法に関する。

【0002】

【従来の技術】図 1 はアクティブマトリックス液晶表示
装置の従来例構成図である。10 は表示画素部、20 は
表示画素部の垂直走査回路、30 は入力画像信号のサン
プリング回路、40 はサンプリング回路のための水平走
査回路である。

【0003】表示画素部 10 の単位画素は、スイッチン
グ素子 11、液晶と画素容量 12 からなり、スイッチン
グ素子 11 が T F T（薄膜トランジスタ）のときは T F
T のゲートをゲート線 13 を通して垂直走査回路に接続
し、スイッチング素子 11 がダイオード（MIM（金
属、絶縁体金属の接合でダイオード特性を得るものも含
む））のときは対向走査電極 13 が垂直走査回路に接続
する。スイッチング素子の入力端子を垂直方向データ線
14 によりサンプリング回路に接続する。スイッチング
素子が T F T のときは、画素容量 12 の他端を共通電極
線 12-A に接続し、共通電極電圧として基準電位 V_{LC}
が印加する。スイッチング素子がダイオードのときは、
対向走査電極の基準電位を V_{LC} として印加する。

【0004】サンプリング回路の入力に、信号処理回路
50 からのカラー信号（赤、青、緑）を供給する。信号
処理回路で、液晶特性を考慮したガンマ処理や、液晶の
長寿命化のための反転信号処理などを成す。

【0005】図 3 A に反転信号処理回路の入力画像信号
を、図 3 B に 1 H（一水平走査期間）反転信号波形例図
を示す。図示のように、反転信号は基準電位 V_{LC} を中間
電位として、正極性信号（+）と負極性信号（-）が 1
H 毎に繰り返す波形となる。

【0006】制御回路 60 で垂直走査回路、水平走査回

(3)

3

路や信号処理回路などに必要なパルスを形成する。

【0007】図2に表示画素部10とサンプリング回路30の等価回路図を示す。各画素(R、G、B)をデルタ状に配置し、データ線14(d1、d2...)に行方向の画素毎(以後、行画素と呼ぶ)に、両サイドに、同一色を接続する。サンプリング回路をスイッチングトランジスタ(sw1、sw2...)と容量(垂直方向データ線の寄生容量と画素容量)から構成し、スイッチングトランジスタのゲートをそれぞれ水平走査回路のパルス($\phi h1$ 、 $\phi h2$...)で駆動し、入力信号線16の各色信号をデータ線14(d1、d2...)を経て、各画素へ転送し書き込む。

【0008】各行画素の選択は、垂直走査回路からの垂直パルス($\phi g1$ 、 $\phi g2$...)で制御する。

【0009】図4に、CRT(電子銃)型テレビジョンにおけるインターレース走査の場合の従来例図を示す。表示画素部の行画素を垂直走査パルスと同一記号(g1、g2...)で示す。奇数フィールドでは、水平走査線odd1の信号は、行画素g2とg3に書き込み、同様に、odd2の信号は行画素g4とg5に書き込む。odd3以降同様である。また、偶数フィールドで、走査の組み合わせが一行ずれて、even1の信号は行画素g1とg2に書き込み、even2以降同様である。

【0010】図4走査例を図2従来例に応用した場合の駆動タイミング例を図5に示す(この駆動法を2線同時駆動とする)。

【0011】奇数フィールドのodd1で、行画素g2とg3は垂直パルス $\phi g2$ と $\phi g3$ が“H”となり、その行画素トランジスタは導通状態となり、サンプルホールド回路で、順次、サンプリングされた画像信号が、該行画素の各画素に書き込む。上記サンプリングは図示水平走査パルス(h1、h2...)の“H”期間で成す。odd2以降の走査でも、同様な駆動が行う。この2線同時駆動では、2水平画素の空間的に1、5画素分離れた画素に同一サンプリング信号を書き込むので、駆動法は簡単ではあるが、サンプリング周波数の向上はなく、低解像度で色モアレが発生する。また、上記水平1、5画素分の画素ズレ配置が、奇数フィールドと偶数フィールドにおける行画素の組み合わせの行ズラシ駆動により、画像のエッジ部分がジグザグに表示される悪影響を及ぼす。

【0012】次に、各画素に書き込む信号極性の模式図を図7に示す。

【0013】対向電極基準電位に対して正電圧の場合を“+”、負電圧の場合を“-”とし、横方向に各フィールド走査期間、縦方向に行画素を示す。一つの行画素に注目すると、2線同時駆動では、2フィールド毎(30Hz)に信号極性が反転している。従って、NTSCでは、その1/2の15Hzの表示のチラツキ、即ち、フリッカが発生する。フリッカは低周波数になるほど人間

4

の目には認識され、目立ってくる。

【0014】上記解像度やフリッカの改善例として、フレームメモリを利用した倍速走査法がある。フレームメモリを利用した方法では、図6に示すように、画像信号と水平走査の周波数を2倍にして、2水平走査(2H)線分の信号を1水平走査期間に駆動する。

【0015】この場合、1/2H毎、かつ、フィールド毎の反転信号を形成すれば、フィールド毎に各画素の信号極性を変えることができ、フリッカ成分は30Hzとなる。

【0016】

【発明が解決しようとしている課題】以上のように、従来技術には以下のような問題点があった。

【0017】駆動回路が簡単な2線同時駆動法では、解像度が低下し、低周波のフリッカが発生する。またその画像改善法としての倍速走査ではフレームメモリや高帯域の信号処理ICが必要であり、非常に高価で、高消費電力な表示装置になる欠点があった。

【0018】

【発明の目的】本発明は上述の従来技術の課題に鑑みてなしたものであり、フレームメモリを使用することなく、簡単な回路の付加により、CRT型テレビジョンと同等な走査線数の画素に行画素毎の反転信号の書き込みを行い、低フリッカの画像表示を行うことが可能なアクティブマトリックス液晶表示装置を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明のアクティブマトリックス液晶表示装置は、複数の画素を行列状に配列し、それぞれの前記画素にスイッチング素子を備えつけ、水平シフトレジスタからの複数のパルス信号により、入力画像信号を順にサンプリングし、各画素に与える電圧を決めるアクティブマトリックス液晶表示装置において、入力画像信号を行画素(1行に並んだ全画素)に書き込む水平走査回路を含む第1の書き込み手段と、前記入力画像信号を一時的に容量蓄積手段に蓄積した後、前記行画素とは異なった行画素に書き込む水平シフトレジスタを含む第2の書き込み手段と、前記第1の書き込み手段による前記入力画像信号と前記第2の書き込み手段による前記入力画像信号の電気極性をお互いに反対にし、隣接する行画素の電気極性を反転させる信号制御手段と、を有することを特徴とするアクティブマトリックス液晶表示装置である。

【0020】また、本発明のアクティブマトリックス液晶表示装置の駆動方法は、複数の画素を行列状に配列し、それぞれの前記画素にスイッチング素子を備えつけ、水平シフトレジスタからの複数のパルス信号により、入力画像信号を順にサンプリングし、各画素に与える電圧を決めるアクティブマトリックス液晶表示装置の駆動方法において、水平シフトレジスタを含む第1の書

(4)

5

き込み手段で入力画像信号を行画素（1行に並んだ全画素）に書き込み、水平シフトレジスタを含む第2の書き込み手段で前記入力画像信号を一時的に容量蓄積手段に蓄積した後、前記行画素とは異なった行画素に書き込み、信号制御手段で、前記第1の書き込み手段による前記入力画像信号の電気極性と前記第2の書き込み手段による入力画像信号の電気極性を反対にし、隣接する行画素の電気極性を反転させることを特徴とするアクティブマトリックス液晶表示装置の駆動方法である。

【0021】

【実施例】

（実施例1）図8に本発明の第1の実施構成図を示す。

【0022】この構成図において、図1の従来例と同じ動作の回路には、同一番号を記す。本発明の特徴は、一つの垂直データ線に対し2つの画像入力書き込み手段が設けられるにある。その第1書き込み手段は、サンプリング回路30-Bと水平走査回路40-Bであり、第2書き込み手段は、サンプリング回路30-A、水平走査回路40-Aと一時蓄積回路70である。

【0023】信号処理回路50のカラー信号は、直接、サンプリング回路30-Bに導かれる系と、アンプ80をへてサンプリング回路30-Aに導かれる系に別れる。

【0024】蓄積回路70は、一般的に、容量から形成されるために、この蓄積回路から垂直方向データ線をえて画素容量に転送すると、主に垂直方向データ線の寄生容量による容量分割があり、信号振幅が低下する。

【0025】アンプ80は、この信号振幅低下の補償のためにある。

【0026】図9に表示画素部10、サンプリング回路、蓄積回路の等価回路を示す。

【0027】図2の従来例に対し、本等価回路の特徴は垂直方向データ線14の基準電位へのリセットトランジスタ17、スイッチングトランジスタ（sw1、sw2…）によりサンプリングされた画像信号の一時蓄積容量18（ C_T ）、一時蓄積容量18の信号を垂直方向データ線14と画素に転送するための転送トランジスタ19にある。

【0028】図10（A）に、図8の実施例の駆動タイミング図を示す。図示した各パルスにおいて、“H”期間では、各トランジスタは導通状態とする。

【0029】T1期間に、パルス ϕ_c によりリセットトランジスタ17を導通させ、垂直方向データ線14を基準電位 V_c にリセットする。次に、T2期間に水平走査パルス ϕ_{H1} （h11、h12…）と垂直ゲート対向パルス g_2 によりカラー信号（R、G、B）を直接、各行画素（g2）に書き込む。また、同時に水平走査パルス ϕ_{H2} （h21、h22…）により蓄積回路70の一時蓄積容量18にカラー信号（R'、G'、B'）を蓄積する。T2期間が終了すると、垂直ゲートパルス ϕ_{g2}

6

により、その行画素の画素トランジスタは非導通状態になり、書き込んだ電圧を保持する。

【0030】T3期間では、パルス ϕ_c によりリセットトランジスタ17を導通させ、垂直方向データ線14の残留電荷を除去し、データ線を基準電位 V_c にリセットする。そして、T4期間にパルス ϕ_T により転送トランジスタ19を導通させるとともに、パルス ϕ_{g1} により行画素（g1）を導通させ、一時蓄積容量18のカラー信号（R'、G'、B'）を転送し、書き込む。このとき、行画素（g1）に書き込んだ信号は、容量分割により信号レベルが低下し、水平画素行（g2）に書き込んだ信号レベルと同一になる。

【0031】このように、T1からT4期間の、一水平走査期間の一連の駆動により、信号処理回路50のカラー信号が異なるタイミングで2つの行画素に書き込み保持することになる。従って、2つの行画素間では、画像信号のサンプリング周波数が従来の2倍となり、解像度が向上するとともに、サンプリングの折り返し歪による色モアレも低減できる。

【0032】パルス ϕ_{H1} 、 ϕ_{H2} とh21、h22のスタートタイミングのズレは、2つの行画素間の、同一色信号の空間的配置の1、5画素ズレを考慮したものである。

【0033】なお、図9において、 g_i （ $i=1, 2, \dots$ ）は3端子型スイッチング素子のゲート線であってもいいし、2端子型スイッチング素子の対向走査電極であっても良い。つまり、 g_i （ $i=1, 2, \dots$ ）とデータ線の交点14はTFT（薄膜トランジスタ）であってもいいし、ダイオード（MIMを含む）であっても良い。

【0034】次に信号の反転処理について説明する。

【0035】図8において、テレビジョンと同等な走査線数の画素に反転信号の書き込みを行うための信号処理回路ブロック図を図11に示す信号処理回路50の入力信号（R、G、B）に、まず、ガンマ処理回路50-Aで、テレビジョン信号を液晶の入出力特性を考慮した特性に変換するためのガンマ処理を成す。そして、このガンマ処理後の信号をフィールドパルス ϕ_{FLD} （フィールド処理ごとに送る反転信号）で制御する反転制御回路50-Bで、1フィールド毎の反転信号 S_2' に変化させる（図13）。反転信号 S_2' は、サンプリング回路30-Bに直接入力されるとともに、反転アンプ80'で反転してからサンプリング回路30-Aに入力する。その結果、サンプリング回路30-Bからの信号を奇数の行画素に書き込み、サンプリング回路30-Aからの信号を蓄積回路で一時蓄積した後ブランキング期間に偶数の行画素に書き込む。書き込む信号の極性は、ある任意のフィールド期間において、反転信号 S_2' が正極性であれば、奇数の行画素には正極性、偶数の行画素には負極性になる。各画素に書き込んだ信号極性の模式図を図14に示す。フリッカは30Hzになり、人間の目

(5)

7

には視認されない。

【0036】また、次のフィールド期間では、反転信号 $S2'$ は負極性になるので、奇数の行画素には負極性、偶数の行画素には正極性が書き込まれる。この様に、各画素に書き込んだ信号の極性は、行画素毎に反転しており、かつ、フィールド周期で反転する。

【0037】（実施例2）第2の実施例を次に示す。第2の実施例は駆動タイミング以外は第1の実施例と同じである。第2の実施例の駆動タイミングを図10（B）に示す。

【0038】このタイミングでは、T2期間にサンプリング回路30-Bで垂直方向データ線に画像信号を一蓄積し、T3期間にパルス $\phi g2'$ により、対応する画素に該蓄積信号を転送する。次にT3' 期間にデータ線を基準電位 Vc にリセットし、T4期間にパルス $\phi g1'$ と ϕT により、対応する画素に一時蓄積容量18の信号を転送する。

【0039】（実施例3）第3の実施例を次に示す。第3の実施例は、信号の反転処理以外は第1、第2の実施例と同じである。

【0040】第3の実施例の信号の反転処理を図12に示す。

【0041】本実施例では、サンプリング回路入力2系統の反転信号を別々の反転制御回路で形成する。この場合は制御パルスの極性を変えれば良い。

【0042】また、この2系統の信号レベルは、反転制御回路内のアンプで変える。

【0043】また、反転制御パルス ϕFLD を $\phi 1H$ （1水平走毎に送る反転信号）として、1H反転信号をサンプリング回路（30-A、30-B）に入力させ、行画素を1H毎に切替える事により、行画素毎に反転信号を書き込むことが出来る。

【0044】（実施例4）図15に本発明の第4の実施例図を示す。

【0045】バッファ回路100-Bを、データ線14の前段に設けることにより、信号の容量分割低下を避け、図8の実施例のアンプ80をなくすことができる。また、バッファ回路100-Aにより、バッファ回路間の一定のオフセット電圧を相殺することができる。

【0046】（実施例全てについての条件）本発明はカラー画像配置に特に制限されない。例えば、図16にデータ線に接続する画素の配置が2色繰り返しタイプを示すが、この場合でも、サンプリング回路のタイミングを

8

変えることにより、本発明に適用できる。

【0047】

【発明の効果】以上のように、本発明は、2つの画像入力手段を設けるという簡単な構成で入力反転信号の極性を制御し、行画素毎、及び、フィールド周期毎の極性反転により、フリッカの問題を解決した。また、フレームメモリなどを使用しないので、低消費電力、小型で安価なアクティブマトリックス液晶表示装置を提供できる。

【図面の簡単な説明】

10 【図1】カラー液晶表示装置の従来例構成図。

【図2】表示画素部とサンプリング回路の等価回路図。

【図3】入力画像信号波形図。

【図4】インターレース走査の場合の従来例図。

【図5】図3の走査例の駆動タイミング例図。

【図6】倍速走査例の駆動タイミング例図。

【図7】信号極性の模式図。

【図8】本発明の実施構成図。

【図9】図6実施例の回路構成図。

【図10】実施例の駆動タイミング図。

20 【図11】本発明の信号処理回路ブロック図。

【図12】本発明の信号処理回路ブロック部。

【図13】電気極性のフィールド反転を表す図。

【図14】本発明の画素の極性変化を表す図。

【図15】本発明の第4の実施例図。

【図16】画素接続の別の従来例図。

【符号の説明】

10 表示画素部

11 スイッチング素子

12 画素容量

30 13 ゲート線あるいは対向走査電極

14 データ線

16 入力信号線

17 リセットトランジスタ

18 一時蓄積容量

19 転送トランジスタ

20 垂直走査回路

30 入力画像信号のサンプリング回路

40 40 サンプリング回路のための水平走査回路

50 信号処理回路

40 60 制御回路

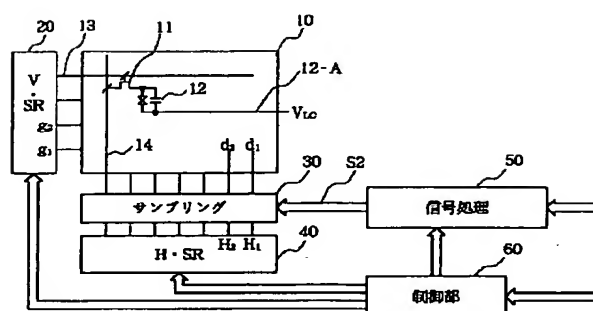
70 一時蓄積回路

80 アンプ

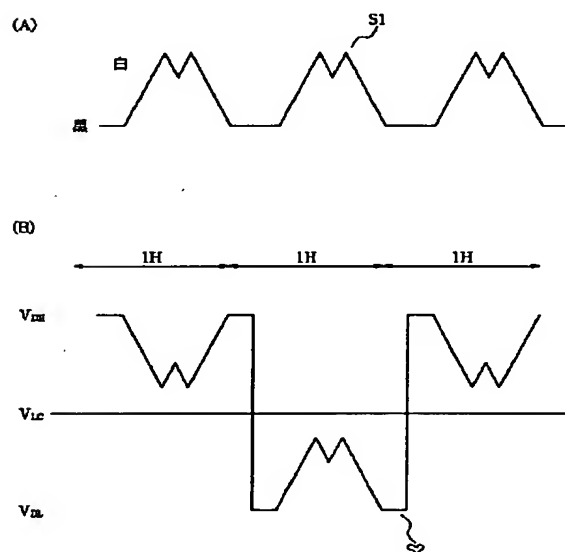
100 バッファ回路

(6)

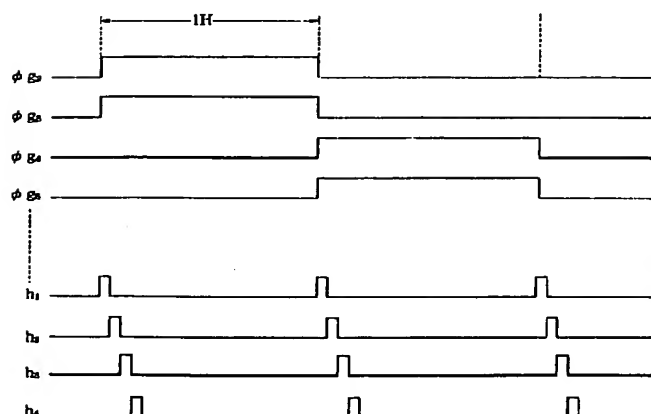
【圖 1】



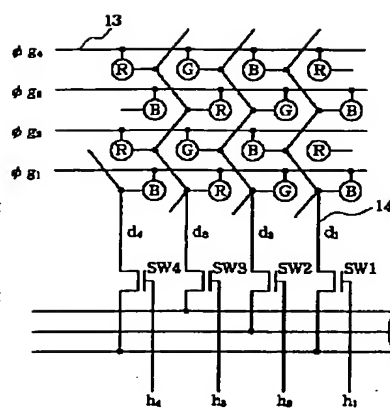
【圖 3】



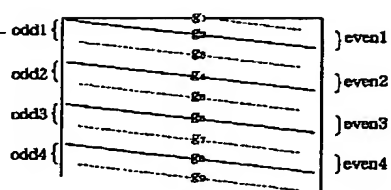
【図5】



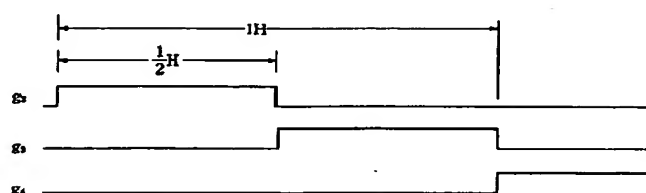
【図 2】



【図4】



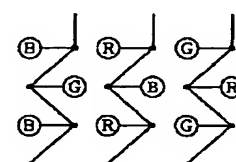
【図6】



【圖 7】

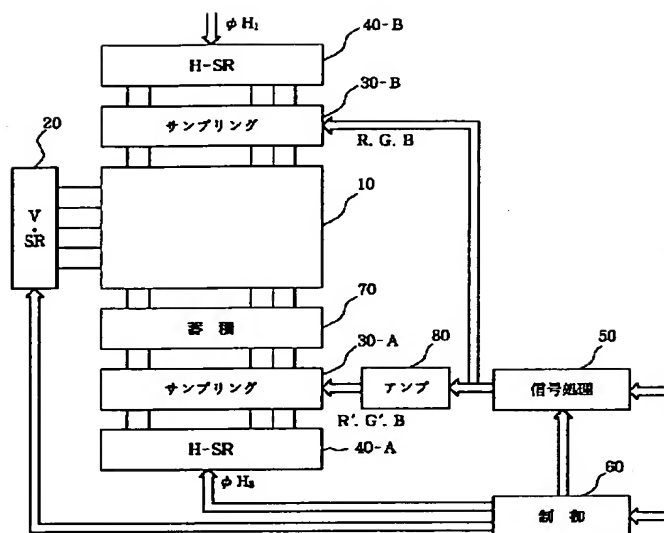
	+		-
+	+	-	-
+	-	-	+
-	-	+	+
-	+	+	-
+	+	-	-
+	-	-	+
第1 フィールド	第2 フィールド	第3 フィールド	第4 フィールド

【図 16】

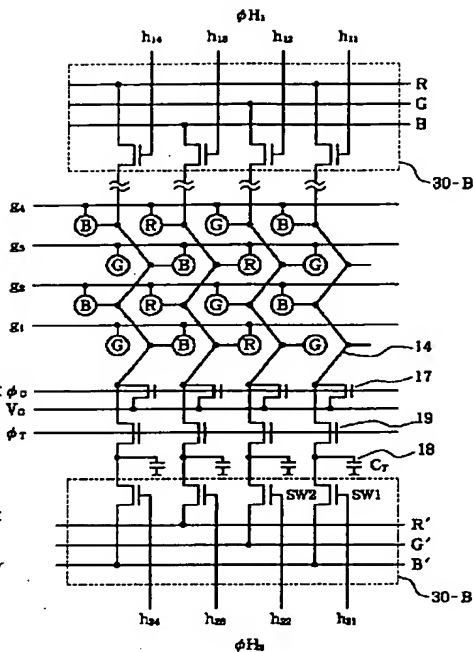


(7)

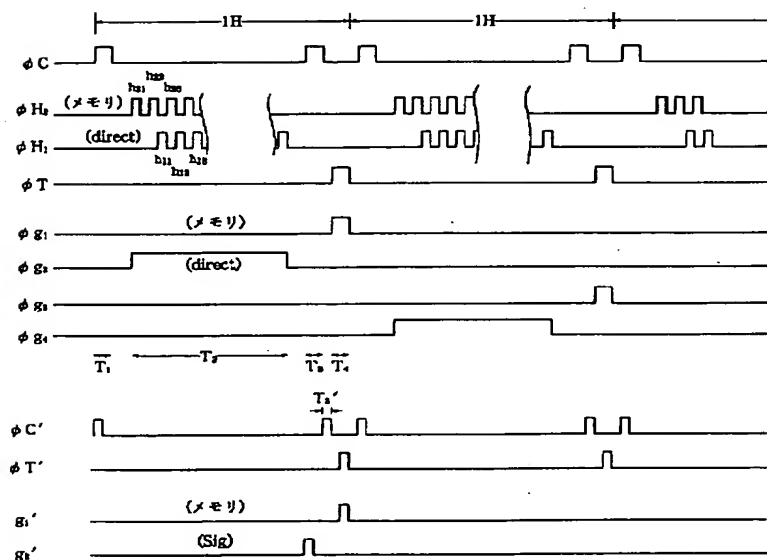
【図8】



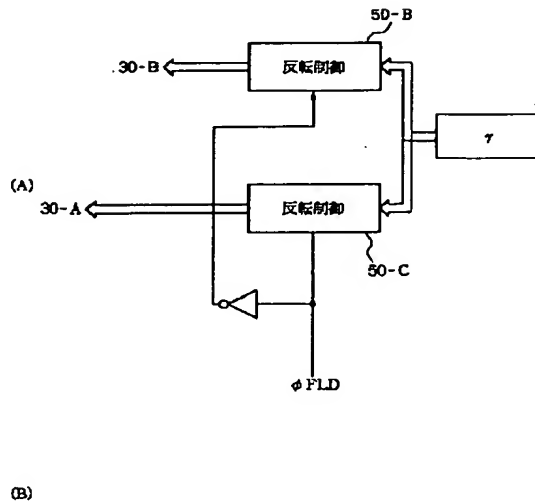
【図9】



【図10】

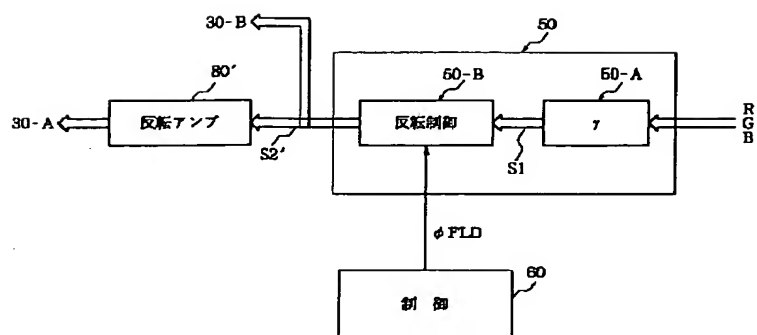


【図12】

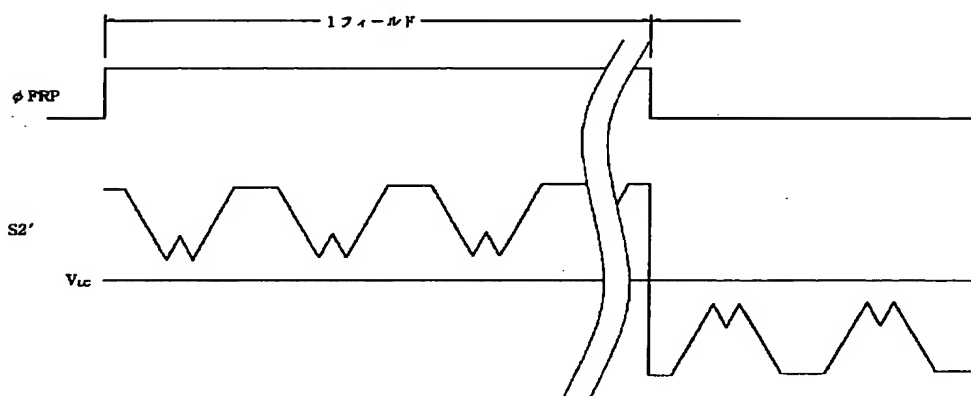


(8)

【図11】



【図13】



【図14】

81		+		+
82	+	-	+	-
83	-	+	-	+
84	+	-	+	-
85	-	+	-	+
86	+	-	+	-
87	-	+	-	+

第1 フィールド 第2 フィールド 第3 フィールド 第4 フィールド

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成11年(1999)10月29日

【公開番号】特開平6-67188

【公開日】平成6年(1994)3月11日

【年通号数】公開特許公報6-672

【出願番号】特願平4-220383

【国際特許分類第6版】

G02F 1/1343

1/13 101

G09G 3/36

【FI】

G02F 1/1343

1/13 101

G09G 3/36

【手続補正書】

【提出日】平成10年12月28日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 アクティブマトリックス表示パネル

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 基板上に複数のゲート線と、複数のデータ線と、前記各ゲート線と前記各データ線に接続された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極と、シフトレジスタの出力に制御されてデータ信号をサンプリングして前記データ線に供給するサンプリング手段と、前記データ線に供給される信号を検出する検出回路とを有するアクティブマトリックス表示パネルにおいて、

前記検出回路を構成する薄膜トランジスタは、LDD (Lightly Doped Drain) 構造あるいはオフセット構造であることを特徴とするアクティブマトリックス表示パネル。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】本発明は、基板上に複数のゲート線と、複数のデータ線と、前記各ゲート線と前記各データ線に接続された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極と、シフトレジスタの出力に制御されてデータ信号をサンプリングして前記データ線に供給するさんつぶりんぐ手段と、前記データ線に供給される信号を検出する検出回路とを有するアクティブマトリックス表示パネルにおいて、前記検出回路を構成する薄膜トランジスタは、LDD (Lightly Doped Drain) 構造あるいはオフセット構造であることを特徴とする。

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-306662

(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 06-099823

(71)Applicant : CANON INC

(22)Date of filing : 13.05.1994

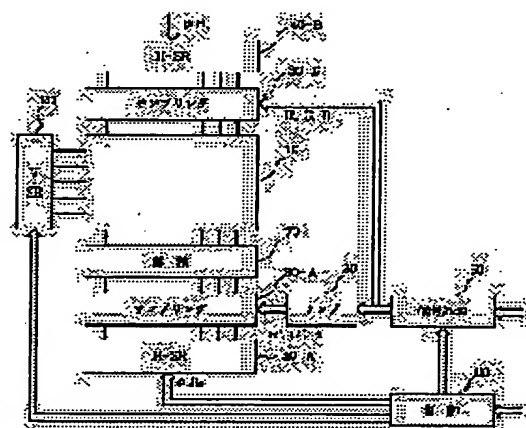
(72)Inventor : HASHIMOTO SEIJI

(54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE AND DRIVING METHOD THEREOF

(57)Abstract:

PURPOSE: To enable image display with low flicker without using a frame memory by controlling the polarity of inputted reversal signals with simple constitution of providing two image input means, and reversing polarity every line picture element and every field cycle.

CONSTITUTION: Two data input writing means are provided for one vertical data line. The first writing means is formed of a sampling circuit 30-B and a horizontal scanning circuit 40-B, and the second writing means is formed of a sampling circuit 30-A, a horizontal scanning circuit 40-A and a temporary storage circuit 70. The reversal signals every one field of a signal processing circuit 50 are directly inputted to the sampling circuit 30-B, and inputted to the sampling circuit 30-A after being reversed by a reversing amplifier 80. The signals from the sampling circuit 30-B are written in odd-numbered line picture elements, and the signals from the sampling circuit 30-A are temporarily stored in the storage circuit 70 and then written in even-numbered line picture elements during a blanking period. The signal polarity is reversed every line picture element and in a field cycle.



LEGAL STATUS

[Date of request for examination] 22.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3376088

[Date of registration] 29.11.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

 CLAIMS

[Claim(s)]

[Claim 1] Two or more pixels are arranged in the shape of a matrix. A switching element to said each pixel by two or more pulse signals from a equipment and a horizontal scanning circuit In the active-matrix liquid crystal display which determines the electrical potential difference which samples an input picture signal in order and is given to each pixel The 1st write-in means including the horizontal scanning circuit which writes an input picture signal in a line pixel (all pixels located in a line with one line), The 2nd write-in means including the horizontal scanning circuit written in a different line pixel from said line pixel after accumulating said input picture signal in a capacity are recording means temporarily, The active-matrix liquid crystal display characterized by having a signal-control means to carry out the electric polarity of said input picture signal by said 1st write-in means, and said input picture signal by said 2nd write-in means reversely at each other, and to reverse the electric polarity of the adjoining line pixel.

[Claim 2] The active-matrix liquid crystal display according to claim 1 which also has a signal-control means to reverse an electric polarity for every field period.

[Claim 3] Said pixel is an active-matrix liquid crystal display according to claim 1 to 2 which has red, blue, or a green filter.

[Claim 4] Said signal-control means is an active-matrix liquid crystal display according to claim 1 to 3 which reverses both the electric polarity of the input picture signal by said 1st write-in means, and the electric polarity of the input picture signal by said 2nd write-in means whenever it writes in one line.

[Claim 5] The active-matrix liquid crystal display according to claim 1 to 4 which writes said input picture signal in the odd-numbered line pixel with said 1st write-in means, and writes said input picture signal in the even-numbered line pixel with the 2nd write-in means.

[Claim 6] The active-matrix liquid crystal display according to claim 1 to 5 which constitutes said pixel from a switching element which carries out transistor actuation with an opposite common electrode and a pixel electrode.

[Claim 7] The active-matrix liquid crystal display according to claim 1 to 5 which constitutes said pixel from a switching element which carries out diode actuation with an opposite scan electrode and a pixel electrode.

[Claim 8] Two or more pixels are arranged in the shape of a matrix. A switching element to said each pixel by two or more pulse signals of a equipment and a horizontal scanning circuit In the actuation approach of an active-matrix liquid crystal display of deciding the electrical potential difference which samples an input picture signal in order and is given to each pixel An input picture signal is written in a line pixel (all pixels located in a line with one line) with the 1st write-in means including a horizontal scanning circuit. After accumulating said input picture signal in a capacity are recording means temporarily with the 2nd write-in means including a horizontal scanning circuit, said line pixel is written in a different line pixel, and is a signal-control means. The actuation approach of the active-matrix liquid crystal display characterized by carrying out the electric polarity of said input picture signal by said 1st write-in means, and the electric polarity of the input picture signal by said 2nd write-in means reversely, and reversing the electric polarity of the adjoining line pixel.

[Claim 9] The actuation approach of an active-matrix liquid crystal display given in claim 8 which reverses them with said signal-control means whenever it writes in the electric polarity of said input picture signal by said 1st write-in means, and the electric polarity of one line of said input picture signal by said 2nd write-in means.

[Claim 10] The actuation approach of the active-matrix liquid crystal display according to claim 8 to 9 which writes said input picture signal in the odd-numbered line pixel with said 1st write-in means, and writes said input picture signal in the even-numbered line pixel with the 2nd write-in means.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the active-matrix liquid crystal display which inputs the picture signal made the alternating current to each pixel, and its actuation approach about an active-matrix liquid crystal display and its actuation approach.

[0002]

[Description of the Prior Art] Drawing 1 is the conventional example block diagram of an active-matrix liquid crystal display. For 10, as for the vertical-scanning circuit of the display pixel section, and 30, the display pixel section and 20 are [the sampling circuit of an input picture signal and 40] the horizontal scanning circuits for a sampling circuit.

[0003] The unit pixel of the display pixel section 10 consists of a switching element 11, and liquid crystal and the pixel capacity 12, when a switching element 11 is TFT (thin film transistor), the gate of TFT is connected to a vertical-scanning circuit through the gate line 13, and the opposite scan electrode 13 connects [a switching element 11] with a vertical-scanning circuit at the time of diode (MIM (what obtains diode characteristics by junction of a metal and an insulator metal is included)). The input terminal of a switching element is connected to a sampling circuit with the perpendicular direction data line 14. When a switching element is TFT, the other end of the pixel capacity 12 is connected to common electrode line 12-A, and a reference potential VLC impresses as common electrode voltage. When a switching element is diode, the reference potential of an opposite scan electrode is impressed as VLC.

[0004] The color signal (red, blue, green) from a digital disposal circuit 50 is supplied to the input of a sampling circuit. By the digital disposal circuit, the gamma processing in consideration of a liquid crystal property, reversal signal processing for the reinforcement of liquid crystal, etc. are accomplished.

[0005] The input picture signal of a reversal digital disposal circuit is shown in drawing 3 A, and example drawing of 1H (1 horizontal-scanning period) reversal signal wave form is shown in drawing 3 B. A reversal signal serves as a wave which a straight polarity signal (+) and a negative polarity signal (-) repeat to every 1H by making a reference potential VLC into medium potential like a graphic display.

[0006] A pulse required for a vertical-scanning circuit, a horizontal scanning circuit, a digital disposal circuit, etc. is formed in a control circuit 60.

[0007] The representative circuit schematic of the display pixel section 10 and a sampling circuit 30 is shown in drawing 2. Each pixel (R, G, B) is arranged in the shape of Delk, and the same color is connected to the data line 14 (d1, d2 --) on both sides for every (it is henceforth called a line pixel) pixel of a line writing direction. constitute a sampling circuit from a switching transistor (sw1, sw2 --) and capacity (parasitic capacitance and pixel capacity of the perpendicular direction data line), drive the gate of a switching transistor by the pulse (phi1, phi2 --) of a horizontal scanning circuit, respectively, and pass the data line 14 (d1, d2 --) in each chrominance signal of the input signal line 16 -- it transmits to each pixel and writes in it.

[0008] Selection of each line pixel is controlled by the vertical pulse (phig1, phig2 --) from a vertical-scanning circuit.

[0009] The conventional example Fig. in the case of interlace scanning in CRT (electron gun) mold television is shown in drawing 4. The same notation (g1, g2 --) as a vertical-scanning pulse shows the line pixel of the display pixel section. In the odd number field, the signal of the horizontal scanning line odd1 is written in the line pixels g2 and g3, and the signal of odd2 is similarly written in the line pixels g4 and g5. It is the same as that of odd3 or subsequent ones. Moreover, the combination of one line of a scan shifts, and the signal of even1 is written in the line pixels g1 and g2, and is the same as that of even2 or subsequent ones in the even number field.

[0010] The example of actuation timing at the time of applying the example of the drawing 4 scan to the drawing 2 conventional example is shown in drawing 5 (this driving method is considered as 2 line simultaneous actuation).

[0011] By odd1 of the odd number field, phig3 will become the vertical pulse phig2 with "H", the line pixel transistor will be in switch-on, the line pixels g2 and g3 are sample hold circuits, and the sampled picture signal writes them in each pixel of this line pixel one by one. The above-mentioned sampling is accomplished in "H" period of a graphic display horizontal scanning pulse (h1, h2 --). The same actuation also performs the scan after odd2. In this 2 line simultaneous actuation, although the driving method is easy since the same sampling signal is written in the pixel left by 1 or 5 pixels spatially [of 2 horizontal picture element], there is no improvement in a sampling frequency and color moire generates it with a low resolution. Moreover, the pixel gap arrangement for the 1 or 5 pixels of the above-mentioned horizontals does the adverse effect as which the edge part of an image is displayed on zigzag by line ZURASHI actuation of the combination of the line pixel in the odd number field and the even number field.

[0012] Next, the mimetic diagram of a signal polarity written in each pixel is shown in drawing 7.

[0013] The case of "+" and a negative electrical potential difference is made into "-" for the case of a forward electrical potential difference to a counterelectrode reference potential, each field scan period is shown in a longitudinal direction, and a line pixel is shown in a lengthwise direction. If one line pixel is observed, in 2 line simultaneous actuation, the signal polarity will be reversed every (30Hz) 2 field. Therefore, in NTSC, CHIRATSUKI of a 15Hz display of 1/the 2, i.e., a flicker, occurs. It is recognized by human being's eyes and a flicker is conspicuous to them, so that it becomes low frequency.

[0014] As an example of an improvement of the above-mentioned resolution or a flicker,

there is double-speed scanning using a frame memory. By the approach using a frame memory, as shown in drawing 6, the frequency of a picture signal and a horizontal scanning is doubled and the signal of 2 horizontal-scanning (2H) segment is driven at 1 horizontal-scanning period.

[0015] In this case, if every 1/2H, and the reversal signal for every field are formed, the signal polarity of each pixel can be changed for every field, and a flicker component will be set to 30Hz.

[0016]

[Problem(s) to be Solved by the Invention] As mentioned above, there were the following troubles in the conventional technique.

[0017] By the 2 line simultaneous driving method with an easy actuation circuit, resolution falls and the flicker of low frequency occurs. moreover -- the double-speed scan as the image improving method -- the signal processing IC of a frame memory or high bandwidth -- required -- dramatically -- expensive -- high -- there was a fault which becomes a power consumption display.

[0018]

[Objects of the Invention] Without making this invention in view of the technical problem of the above-mentioned conventional technique, and using a frame memory, by addition of an easy circuit, the reversal signal for every line pixel is written in the pixel of the number of scanning lines equivalent to CRT mold television, and it aims at offering the active-matrix liquid crystal display which can perform image display of a low flicker.

[0019]

[Means for Solving the Problem] The active-matrix liquid crystal display of this invention Two or more pixels are arranged in the shape of a matrix. A switching element to said each pixel by the equipment and two or more pulse signals from a level shift register In the active-matrix liquid crystal display which determines the electrical potential difference which samples an input picture signal in order and is given to each pixel The 1st write-in means including the horizontal scanning circuit which writes an input picture signal in a line pixel (all pixels located in a line with one line), The 2nd write-in means containing the level shift register written in a different line pixel from said line pixel after accumulating said input picture signal in a capacity are recording means temporarily, It is the active-matrix liquid crystal display characterized by having a signal-control means to carry out the electric polarity of said input picture signal by said 1st write-in means, and said input picture signal by said 2nd write-in means reversely at each other, and to reverse the electric polarity of the adjoining line pixel.

[0020] Moreover, the actuation approach of the active-matrix liquid crystal display of this invention. Two or more pixels are arranged in the shape of a matrix. A switching element to said each pixel by two or more pulse signals from a equipment and a level shift register. In the actuation approach of an active-matrix liquid crystal display of deciding the electrical potential difference which samples an input picture signal in order and is given to each pixel. An input picture signal is written in a line pixel (all pixels located in a line with one line) with the 1st write-in means containing a level shift register. After accumulating said input picture signal in a capacity are recording means temporarily with the 2nd write-in means containing a level shift register, said line pixel is written in a different line pixel, and is a signal-control means. It is the actuation approach of the active-matrix liquid crystal display characterized by carrying out the electric polarity of said input picture signal by said 1st write-in means, and the electric polarity of the input picture signal by said 2nd write-in means reversely, and reversing the electric polarity of the adjoining line pixel.

[0021]

[Example]

(Example 1) The 1st operation block diagram of this invention is shown in drawing 8.

[0022] In this block diagram, the same number is described in the circuit of the same actuation as the conventional example of drawing 1. The description of this invention is for two image input write-in means to prepare to the one vertical data line. The 1st write-in means is sampling circuit 30-B and horizontal scanning circuit 40-B, and the 2nd write-in means is a register circuit 70 sampling circuit 30-A, horizontal scanning circuit 40-A, and temporarily.

[0023] The color signal of a digital disposal circuit 50 separates directly in the system led to sampling circuit 30-B, and the system led to sampling circuit 30-A through amplifier 80.

[0024] If, as for a register circuit 70, this register circuit to the perpendicular direction data line is obtained since it is generally formed from capacity, and it transmits to pixel capacity, there will mainly be a capacitive component rate by the parasitic capacitance of the perpendicular direction data line, and signal amplitude will fall.

[0025] There is amplifier 80 for compensation of this signal amplitude lowering.

[0026] The display pixel section 10, a sampling circuit, and the equal circuit of a register circuit are shown in drawing 9.

[0027] The description of this equal circuit is in the transfer transistor 19 for transmitting the signal of storage capacitance 18 to the perpendicular direction data line 14 and a pixel the reset transistor 17 to the reference potential of the perpendicular

direction data line 14, the momentary storage capacitance 18 (CT) of the picture signal sampled by the switching transistor (sw1, sw2 --), and temporarily to the conventional example of drawing 2.

[0028] The actuation timing chart of the example of drawing 8 is shown in drawing 10 (A). Let each transistor be switch-on in "H" period in each illustrated pulse.

[0029] T1 period is made to flow through the reset transistor 17 by pulse phic, and the perpendicular direction data line 14 is reset to a reference potential Vc at it. Next, a color signal (R, G, B) is directly written in each line pixel (g2) at T2 period by the horizontal scanning pulse phiH1 (h11, h12 --) and the vertical gate opposite pulse g2. Moreover, a color signal (R', G', B') is simultaneously accumulated in the momentary storage capacitance 18 of a register circuit 70 by the horizontal scanning pulse phiH2 (h21, h22 --). After T2 period expires, by the vertical gate pulse phig2, the pixel transistor of the line pixel will be in non-switch-on, and the written-in electrical potential difference is held.

[0030] During T tertiary stage, it is made to flow through the reset transistor 17 by pulse phic, the residual charge of the perpendicular direction data line 14 is removed, and the data line is reset to a reference potential Vc. And while making T-four period flow through the transfer transistor 19 by pulse phiT, it is made to flow through a line pixel (g1) by the pulse phig1, and the color signal (R', G', B') of storage capacitance 18 is transmitted and written in temporarily. At this time, signal level falls by the capacitive component rate, and the signal written in the line pixel (g1) becomes the same as that of the signal level written in the horizontal picture element line (g2).

[0031] Thus, from T1, to the timing from which the color signal of a digital-disposal circuit 50 differs, it will write in two line pixels and will hold by a series of actuation of a 1 horizontal-scanning period of T-four period. Therefore, between two line pixels, while the sampling frequency of a picture signal becomes twice over the past and resolution improves, the color moire by the clinch distortion of a sampling can also be reduced.

[0032] Gap of a pulse phiH1 and the start timing of phiH2, and h21 and h22 takes into consideration 1 or 5-pixel gap of the spatial arrangement of the same chrominance signal between two line pixels.

[0033] In addition, in drawing 9, gi (i= 1, 2 --) may be the gate line of 3 terminal mold switching element, and may be the opposite scan electrode of 2 terminal mold switching element. That is, the intersection 14 of gi (i= 1, 2 --) and the data line may be TFT (thin film transistor), and may be diode (MIM is included).

[0034] Next, the reversal process of a signal is explained.

[0035] In drawing 8, the gamma processing for changing a television signal into the

input signal (R, G, B) of the digital disposal circuit 50 which shows the digital-disposal-circuit block diagram for writing a reversal signal in the pixel of the number of scanning lines equivalent to television to drawing 11 by gamma processing circuit 50-A first at the property in consideration of the input-output behavioral characteristics of liquid crystal is accomplished. And it is made to change to reversal signal S2' for every field by reversal control circuit 50-B which controls the signal after this gamma processing by field pulse ϕ_{iFLD} (reversal signal sent for every field treatment) (drawing 13). After it is reversed by reversal amplifier 80', it is inputted into sampling circuit 30-A while the direct input of reversal signal S2' is carried out to sampling circuit 30-B. Consequently, the signal from sampling circuit 30-B is written in odd line pixels, and after accumulating the signal from sampling circuit 30-A by the register circuit temporarily, it writes in even line pixels at a blanking period. In the field period of a certain arbitration, the polarity of the signal to write in will become the line pixel of straight polarity and even number at negative polarity at odd line pixels, if reversal signal S2' is straight polarity. The mimetic diagram of a signal polarity written in each pixel is shown in drawing 14 . A flicker is set to 30Hz and checked by looking by human being's eyes.

[0036] Moreover, in the next field period, since reversal signal S2' becomes negative polarity, straight polarity is written in negative polarity and even line pixels at odd line pixels. Thus, it is reversed for every line pixel, and the polarity of the signal written in each pixel is reversed with a field period.

[0037] (Example 2) The 2nd example is shown below. The 2nd example is the same as the 1st example except actuation timing. The actuation timing of the 2nd example is shown in drawing 10 (B).

[0038] To this timing, a picture signal is accumulated in the perpendicular direction data line one time by sampling circuit 30-B at T2 period, and this are recording signal is transmitted to the pixel corresponding to during T tertiary stage by pulse $\phi_{ig2'}$. Next, the data line is reset to a reference potential Vc at T3' period, and the signal of storage capacitance 18 is transmitted to the pixel corresponding to T four period by pulse $\phi_{ig1'}$ and ϕ_{iT} temporarily.

[0039] (Example 3) The 3rd example is shown below. The 3rd example is the same as the 1st and 2nd example except the reversal process of a signal.

[0040] The reversal process of the signal of the 3rd example is shown in drawing 12 .

[0041] In this example, the reversal signal of two sampling circuit inputs is formed in a separate reversal control circuit. In this case, what is necessary is just to change the polarity of a control pulse.

[0042] Moreover, this signal level of two lines is changed with the amplifier in a reversal control circuit.

[0043] moreover, 1H reversal signal is inputted into a sampling circuit (30-A, 30-B) for reversal control pulse ϕ_{iFLD} as ϕ_{i1H} (reversal signal sent for every 1 level **) -- making -- a line pixel -- 1 -- a reversal signal can be written in for every line pixel by changing for every H.

[0044] (Example 4) The 4th example drawing of this invention is shown in drawing 15.

[0045] By preparing buffer circuit 100-B in the preceding paragraph of the data line 14, capacitive component rate lowering of a signal can be avoided and the amplifier 80 of the example of drawing 8 can be lost. Moreover, the fixed offset voltage between buffer circuits can be offset by buffer circuit 100-A.

[0046] (Conditions about all examples) Especially this invention is not restricted to color picture arrangement. For example, although arrangement of the pixel connected to the data line at drawing 16 shows 2 color repeat type, it is applicable to this invention by changing the timing of a sampling circuit even in this case.

[0047]

[Effect of the Invention] As mentioned above, this invention controlled the polarity of an input reversal signal by the easy configuration of establishing two image input means, and solved the problem of a flicker by every line pixel and the polarity reversals for every field period. Moreover, since a frame memory etc. is not used, a low power and a small and cheap active matrix liquid crystal display can be offered.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The conventional example block diagram of a color liquid crystal display.

[Drawing 2] The representative circuit schematic of the display pixel section and a sampling circuit.

[Drawing 3] Input picture signal wave form chart.

[Drawing 4] The conventional example Fig. in the case of interlace scanning.

[Drawing 5] The example Fig. of actuation timing of the example of a scan of drawing 3.

[Drawing 6] The example Fig. of actuation timing of the example of double-speed scan.

[Drawing 7] The mimetic diagram of a signal polarity.

[Drawing 8] The operation block diagram of this invention.

[Drawing 9] Circuitry drawing of the drawing 6 example.

[Drawing 10] The actuation timing chart of an example.

[Drawing 11] The digital-disposal-circuit block diagram of this invention.

[Drawing 12] The digital-disposal-circuit block section of this invention.

[Drawing 13] Drawing showing field reversal of an electric polarity.

[Drawing 14] Drawing showing a polar change of the pixel of this invention.

[Drawing 15] 4th example drawing of this invention.

[Drawing 16] Another conventional example Fig. of pixel connection.

[Description of Notations]

10 Display Pixel Section

11 Switching Element

12 Pixel Capacity

13 Gate Line or Opposite Scan Electrode

14 Data Line

16 Input Signal Line

17 Reset Transistor

18 Momentary Storage Capacitance

19 Transfer Transistor

20 Vertical-Scanning Circuit

30 Sampling Circuit of Input Picture Signal

40 Horizontal Scanning Circuit for Sampling Circuit

50 Digital-Disposal Circuit

60 Control Circuit

70 Momentary Register Circuit

80 Amplifier

100 Buffer Circuit

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.